



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61183915 A**(43) Date of publication of application: **16.08.86**(51) Int. Cl **H01L 21/20**(21) Application number: **60022932**(22) Date of filing: **08.02.85**(71) Applicant: **TOSHIBA CORP**(72) Inventor:
SHINPO MASARU
OHASHI HIROMICHI
FURUKAWA KAZUYOSHI
FUKUDA KIYOSHI(54) **MANUFACTURE OF COMPOUND SEMICONDUCTOR DEVICE**

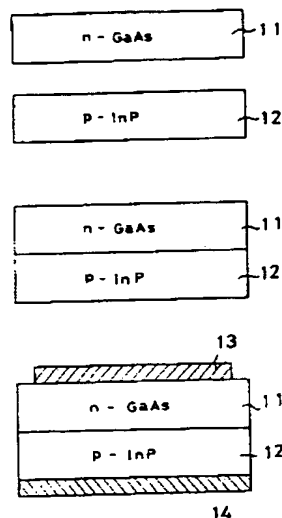
(57) Abstract:

PURPOSE: To join compound semiconductor layers each having a desired impurity concentration and a desired thickness to provide a joint body having desirable electric characteristics in spite of mismatched grating constants, by contacting two mirror-polished compound semiconductor substrates with each other in a clean atmosphere, and heat treating them for integration.

CONSTITUTION: An Si-doped 111 n-type GaAs substrate 11 (with an impurity concentration of $10^{16}/\text{cm}^3$) which is mirror polished and a Zn-doped 111 p-type InP substrate 12 (with an impurity concentration of $10^{18}/\text{cm}^3$) which is also mirror polished are boiled in trichlene to be degreased. The GaAs substrate 11 is then boiled in concentrated hydrochloric acid for 2min, washed with water and spinner dried. The InP substrate 12 is dipped in a solution of $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:4$ (volume ratio) at 30°C for 2W3min, washed with water and spinner dried. The substrates pretreated in these ways are contacted with each other to be bonded together within a clean room of Class 1. The bonded body thus obtained is heat-treated in a hydrogen furnace for 1hr at 450°C to

provide a rigid joint body.

COPYRIGHT: (C)1986,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-183915

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月16日

H 01 L 21/20

7739-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 化合物半導体装置の製造方法

⑯ 特 願 昭60-22932

⑰ 出 願 昭60(1985)2月8日

⑱ 発明者	新 保 優	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑲ 発明者	大 橋 弘 通	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
⑳ 発明者	古 川 和 由	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
㉑ 発明者	福 田 潔	川崎市幸区小向東芝町1番地	株式会社東芝総合研究所内
㉒ 出願人	株式会社東芝	川崎市幸区堀川町72番地	
㉓ 代理人	弁理士 鈴江 武彦	外2名	

明 細 書

1. 発明の名称

化合物半導体装置の製造方法

2. 特許請求の範囲

(1) 積層研磨された二枚の化合物半導体基板を、研磨面同士を實質的に異物のない清浄な雰囲気下で接触させ、200℃以上でかついずれの半導体基板の融点よりも低い温度で熱処理して一体化する工程を有することを特徴とする化合物半導体装置の製造方法。

(2) 前記二枚の化合物半導体基板は互いに異種の化合物半導体基板である特許請求の範囲第1項記載の化合物半導体装置の製造方法。

(3) 前記二枚の化合物半導体基板は同種の化合物半導体基板である特許請求の範囲第1項記載の化合物半導体装置の製造方法。

(4) 前記二枚の化合物半導体基板は互いに異なる導電型を有し、その接着面が素子のpn接合を構成する特許請求の範囲第1項記載の化合物半導体装置の製造方法。

(5) 前記二枚の化合物半導体基板は同導電型であり、その一方の積層研磨面に部分的に基板と逆の導電型層が形成されており、これらの基板の接着面の一部で素子のpn接合を構成する特許請求の範囲第1項記載の化合物半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、化合物半導体基板同士を直接接着して一体化する工程を有する半導体装置の製造方法に関する。

(発明の技術的背景とその問題点)

超高速半導体素子や電力用半導体素子の分野で、GaAs等の化合物半導体を用いた半導体装置が大きく注目されている。このような化合物半導体装置の利点を十分に発揮させるためには、不純物や導電型の異なる半導体層の接合形成技術が重要である。こうした接合形成には、各種のエピタキシャル法が知られている。しかしながら、エピタキシャル層の厚さと不純物濃度を広い範囲に渡って制御することは非常に困難である。例えば、高

耐圧の化合物半導体装置を製造する場合、空乏層を形成して印加電圧を閉止するため、不純物濃度が低く、膜厚の大きいエピタキシャル層形成を必要とする。膜厚の大きいエピタキシャル層を形成するには、液相エピタキシャル技術がある。この方法でエピタキシャル層厚を厚くすることは比較的容易であるが、例えばGaAsを例にとれば、 $10^{15} \sim 10^{17} / \text{cm}^3$ 以下に不純物濃度を抑制してエピタキシャル層を形成することは困難である。その結果、アバランシェ電圧の制御ができないため数10V以上の耐圧を実現することができない。気相エピタキシャル技術を利用すれば、不純物濃度を $10^{15} \sim 10^{17} / \text{cm}^3$ 程度まで低く制御することができるが、この場合には膜厚を10~20 μm 以上にすることが技術的に困難である。このため、パンチスルー電圧が低いものとなり、200~300Vの耐圧実現が限界であった。

一方、禁制帯幅の異なる異種の化合物半導体の接合は、ヘテロ接合として様々な素子への広い用

途がある。このような異種接合を形成するには、やはり各種のエピタキシャル法が従来より考えられている。しかしエピタキシャル法で異種の半導体層を成長させるには、格子定数の整合がとれていることが基本的な条件となる。良好な異種接合が得られるのは、例えばGaAs-AlGaAsのような極めて限られた組み合わせの場合のみであり、多くの場合は格子不整合からくる歪みのため結晶が乱れたり、バリアとして作用する接合層が形成されたりする。

更に異種接合を実現する手段として、異種基板同士を熱圧着や融着により接合する技術が知られている。しかしこれらの方法は、高温、高圧を必要とし、また基板の融解を伴うため、基板に多くの欠陥が発生する他、接合部に厚い中間層が形成されて電気的特性を損う、といった問題がある。また高温の熱工程を用いるため、一方の基板に既に不純物添加層が形成されている場合には、その不純物濃度分布を接合後も保持することは不可能に近い。

(発明の目的)

本発明は、任意の不純物濃度と厚みを持った化合物半導体層の接合を、格子定数の不整合と関係なく良好な電気的特性を以て形成するようにした化合物半導体装置の製造方法を提供することを目的とする。

(発明の概要)

本発明は化合物半導体装置を製造するに当たり、鏡面研磨された二枚の化合物半導体基板同士を、実質的に異物の介在しない清浄な雰囲気下で接触させ、熱処理して機械的、電気的に一体化した接合を形成する工程を含むことを特徴とする。

即ち、二枚の化合物基板を用意し、それぞれの接合すべき面を鏡面研磨して表面粗さ500 \AA 程度以下に形成する。これらの基板は表面状態によっては、例えばトリクレンボイルによる前処理を行い、引き抜き濃塩酸中で煮沸して脱脂処理と基板表面のステインフィルム除去処理をする。次にこれらの基板を清浄な水で数分程度水洗し、室温でスピナによる脱水処理を行なう。これらの処

理を経た化合物半導体基板を、例えばクラス1以下の清浄な雰囲気下で研磨面同士を接触させる。そして200℃以上でかつ基板の融点よりも低い温度範囲で熱処理することにより、接合強度を向上させる。

本発明の方法による化合物半導体基板の接合の機構の詳細は未だ不明な点が多いが、接触させる前の基板の洗浄および乾燥の工程で基板表面に形成される自然酸化膜が重要な役割を果たしていると考えられる。例えばGaAsの場合、この自然酸化膜の厚さは10~30 \AA になることが、Lukesによって確かめられている(Surface Sci. vol 30, p91 (1972))。二種類の半導体基板を接触させた時、この自然酸化膜またはこれに吸着された水分子を介して両者が水素結合等により強固に接合されるものと考えられる。鏡面研磨された半導体基板同士を真空中で接触させても接合することが確かめられており、上記接着力が大気の圧力だけによるものでないことが推定される。そしてこのようにして接合された半導体基板を昇温す

ることにより、脱水縮合反応を生じ、おそらくは酸素を介して半導体基板の構成原子同士が強く結合するものと考えられる。しかし実際に接着界面をXMAで調べても、酸素の濃縮は検出されなかった。これは、酸素の濃縮膜がXMAの分解能（高々1〜2μm）を遙かに超えて薄いためと考えられる。

本発明により良好な化合物半導体接合を得るには、半導体基板の平滑度と清浄性が非常に重要である。平滑度は前述のように表面粗さ500Å以下の膜面が必要であるが、これは通常のラップ盤による研磨とポリッシング、特に各種半導体基板に用いられるメカノケミカル・ポリッシングなどの手段により達成することができる。研磨された基板は洗浄、乾燥され接着されるが、研磨後長時間を要した場合や汚染が懸念される場合、脱脂および酸等による表面の清浄化と過剰の自然酸化膜の除去が必要である。洗浄と乾燥は前述のように水洗とスピナによることが望ましい。また水洗から接着までの時間が長いと、半導体の種類にもよる

が、自然酸化膜の膜厚が厚くなり過ぎて電気的特性に悪影響を与えるため、この時間は5分以内とすることが望ましい。

接着基板の熱処理は、不活性または還元性の雰囲気で行なうことが望ましい。この熱処理は、200℃未満では効果がなく、200℃以上にすることにより接合の電気的特性の改善が認められる。またこの熱処理温度を基板の融点まで上げると、酸素と同じ条件になり、接合部に中間層が厚く形成され、また欠陥が増大して良好な電気的特性が得られなくなる。最適熱処理温度は、半導体の種類にもよるが、おおむね300〜800℃の範囲である。

また半導体基板の組合わせによつては、熱膨張率の差が大きく、熱処理工程で割れることがある。この基板の割れを防止するためには、接着する化合物半導体基板の熱膨張率差が $2 \times 10^{-5} / ^\circ\text{C}$ 以内であることが望ましい。

このようにして得られる化合物半導体基板の組合わせは、異種基板では例えば、GaAs/

InP、ZnS/GaAs、InP/InSb、GaP/InP、CdS/InP、同種基板では例えば、GaAs/GaAs、InP/InPなど極めて多い。そしてこれらの導電型や不純物濃度を選択することにより、各種ダイオード、トランジスタなどを実現することができる。

(発明の効果)

本発明によれば、任意の不純物濃度および導電型の化合物半導体基板を、それらの格子定数に関係なく、簡便に電気的かつ機械的に一体化して接合を形成することができる。しかも基板の接着には基板を融解させるような高温熱工程を用いないため、結晶欠陥の発生や接合部での中間層の形成がなく、電気的特性の優れた接合が得られる。従って従来のエピタキシャル法のみでは困難であった高速用素子や高耐圧素子、更に高効率の太陽電池や広い波長域に感度を有するフォトダイオードなどを実現することができる。また本発明の方法では、化合物半導体基板を先ず室温で接着した後熱処理するため、界面が熱処理により劣化すると

いう化合物半導体プロセスに特有の問題を回避することができる。

(発明の実施例)

以下、図面を参照して本発明の実施例を説明する。

実施例1 (第1図)

第1図(a)に示すように、膜面研磨されたSiドープ(111)n型GaAs基板11(不純物濃度 $10^{18} / \text{cm}^3$)と、同じく膜面研磨されたZnドープ(111)p型InP基板12(不純物濃度 $10^{18} / \text{cm}^3$)とを用意した。両基板はトリクレン中で煮沸して脱脂した。その後GaAs基板11は、濃塩酸中で2分間煮沸し、水洗後スピナ乾燥した。またInP基板12は、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 4$ (体積比)の溶液中に30℃で2〜3分浸し、その後水洗してスピナ乾燥した。このような前処理を経た両基板を、第1図(b)に示すようにクラス1のクリーンルーム中で接触させ接着させた。得られた接合体を水素炉中で450℃、1時間熱処

理し、強固な接合体とした。

この接合体基板をダイヤモンド・ブレードにより3mm口に切断し、第1図(c)に示すように、InP基板12側に蒸着によりAuBe電極14を形成し、またGaAs基板11側にAuGe合金の小片を乗せて500℃で30分加熱してAuGe電極13を形成した。

得られたダイオードのV-I特性をカーブトレーサで測定した結果、良好なダイオード特性を示した。

実施例2 (第2図)

第2図(a)に示すように、鏡面研磨された不純物濃度 $10^{14}/\text{cm}^3$ のn型GaP基板21と、同じく鏡面研磨された不純物濃度 $10^{18}/\text{cm}^3$ のp型InP基板22を用意した。面方位はいずれも(111)である。両基板を、トリクレン煮沸エタノール置換-水洗の工程で脱脂処理し、次いで、 $\text{H}_2\text{O}_2 : \text{H}_2\text{SO}_4 : \text{H}_2\text{O} = 1 : 4 : 1$ (体積比)の液に1分間浸し、手早く水洗した。この様な前処理を経た基板を、第2図(b)に

b基板32は濃リン酸中に1分間浸漬した後、水洗し、スピナ乾燥した。次いで両基板を、第3図(b)に示すように、クラス1のクリーンルーム中で研磨面同士を接触させた後、水素炉中で400℃、1時間熱処理した。

得られた接着基板に、第3図(c)に示すように、InP基板31側にはAuGe合金の格子状電極33を、InSb基板32側には全面にAuZn電極34を、それぞれ蒸着法により形成してフォトダイオードを完成した。

得られたフォトダイオードを液体窒素温度に冷却し、光起電力特性を測定したところ、約6μmの長波長まで光起電力が観測された。

実施例4 (第4図)

以上の実施例は異種材料の異なる導電型基板を用いてダイオードを製造するものであるが、本実施例は同種基板を用いて静電誘導トランジスタを製造したものである。

第4図(a)に示すように、鏡面研磨された不純物濃度が $4 \times 10^{14}/\text{cm}^3$ のn型GaAs

示すように、研磨面同士を接触させ、クラス1のクリーンルーム中で接着した。得られた接着基板を水素炉中で450℃、1時間熱処理し、強固な接合体を得た。

このようにして得られた接合体基板に、第2図(c)に示すように、GaP基板21側にAuGe合金を、InP基板22側にAuZn合金をそれぞれ蒸着し、400℃で1時間熱処理してオーミック電極23、24を形成した。

得られたダイオードをカーブトレーサで測定した結果、良好なダイオード特性を示し、順方向温度特性もほぼ予想通りの値を示した。

実施例3 (第3図)

第3図(a)に示すように、鏡面研磨されたn型InP基板31 (不純物濃度 $10^{18}/\text{cm}^3$)と、同じく鏡面研磨されたp型InSb基板32 (不純物濃度 $10^{18}/\text{cm}^3$)とを用意した。これらの基板をトリクレン処理、エタノール置換による脱脂処理の後、InP基板31は実施例2と同様の工程で表面清浄化処理を行なった。InS

b基板41と、同じく鏡面研磨された不純物濃度が $2 \times 10^{18}/\text{cm}^3$ のn型GaAs基板42を用意した。これらの基板は、トリクレン中で煮沸して脱脂し、更に濃塩酸中で2分間煮沸し、水洗後、スピナ乾燥した。そしてこれらの基板を、第4図(b)に示すように、クラス1のクリーンルーム中で研磨面同士を接触させ、得られた接着体を水素炉中で500℃、1時間熱処理して強固な接着基板を得た。そして得られた接着基板のn型GaAs基板41側を60μmの厚さになるように研磨し、Beをイオン注入して第4図(c)に示すように不純物濃度 $1 \times 10^{19}/\text{cm}^3$ 程度のp型埋込みゲート層43を形成した。

次に第4図(d)に示すように、別に用意した不純物濃度 $4 \times 10^{14}/\text{cm}^3$ の鏡面研磨されたn型GaAs基板44を、上記接着基板の埋込みゲート層43が形成された面に接着した。この接着の工程は、基板の前処理工程を含めて最初の接着工程と同様の条件で行なった。そして先にイオン注入したBeが活性化するに十分な温度条件

(800℃, 30分)で熱処理した。

この後、第4図(e)に示すように、GaAs基板44側を10μm程度の厚さになるように研磨し、気相エピタキシャル技術を用いて不純物濃度 $1 \times 10^{18} / \text{cm}^3$ 程度、厚み0.5μm程度のn型GaAs層45を成長させた。そして第4図(f)に示すように、埋込みゲート層43を露出させるべくドライエッチング法によりメサエッチングを行なってAuGe合金を蒸着し、不活性ガス中で400℃の熱処理を行い、ドレイン電極45、ソース電極46およびゲート電極47を形成した。

こうして得られた静電誘導トランジスタは、耐圧600V以上を示した。また各接合界面は接着後に熱処理をしているため、GaAs界面が熱処理で劣化するということがなく、耐圧低下、順方向電圧降下の増大等の電気的特性の劣化は認められなかった。

実施例5 (第5図)

第5図(a)に示すように、不純物濃度 $2 \times 10^{18} / \text{cm}^3$ の鏡面研磨されたSnドープn型InP基板51と、不純物濃度 $5 \times 10^{18} / \text{cm}^3$ の鏡面研磨されたZnドープp型InP基板52を用意した。いずれも面方位(100)、2インチ中で300μm厚である。これらの基板をトリクレン中で煮沸した後エタノール置換し、その後、 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 4 : 1 : 1$ (体積比)の液で30℃、1分の処理を行い、水洗後スピナ乾燥した。そして両基板を、第5図(b)に示すように、研磨面同士をクラス1のクリーンルーム中で接着させた。

こうして得られた接着体のn型層側にAuGe合金を蒸着し、p型層側にAuZn合金を蒸着して、水素炉中で400℃、15分の熱処理を行い、第5図(c)に示すようにオーミック電極53、54を形成した。

得られたpn接合ダイオードを3mm口のベレットに切断して、カーブトレーサでV-I特性を測定したところ、耐圧の高い良好なダイオード特性を示した。

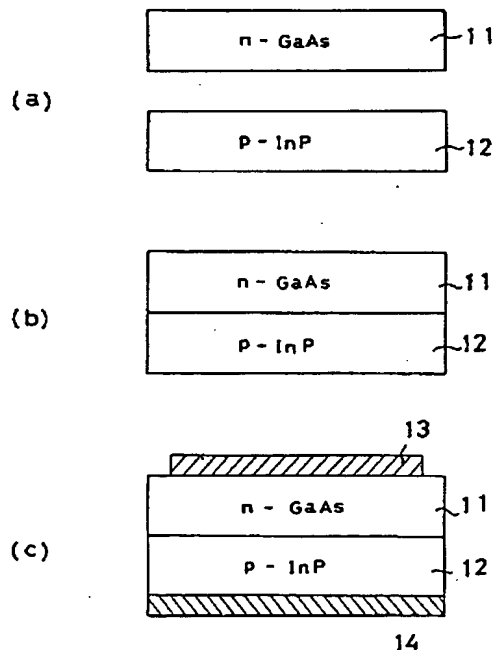
4. 図面の簡単な説明

第1図(a)～(c)は本発明の第1の実施例によるダイオードの製造工程を示す図、第2図(a)～(c)は第2の実施例によるダイオードの製造工程を示す図、第3図(a)～(c)は第3の実施例によるダイオードの製造工程を示す図、第4図(a)～(f)は第4の実施例による静電誘導トランジスタの製造工程を示す図、第5図(a)～(c)は第5の実施例によるダイオードの製造工程を示す図である。

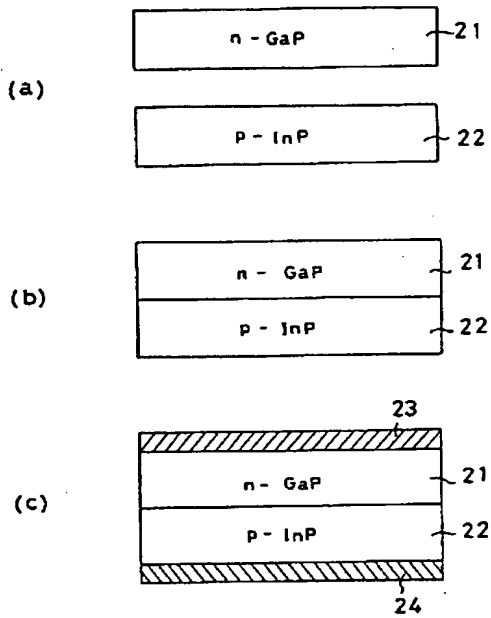
11…n型GaAs基板、12…p型GaAs基板、13、14…電極、21…n型GaP基板、22…p型InP基板、23、24…電極、31…n型InP基板、32…p型InP基板、33、34…電極、41…n型GaAs基板、42…n型GaAs基板、43…p+型埋込みゲート層、44…n型GaAs基板、45…n型GaAs層、46、47…電極。

出願人代理人 弁理士 鈴江武彦

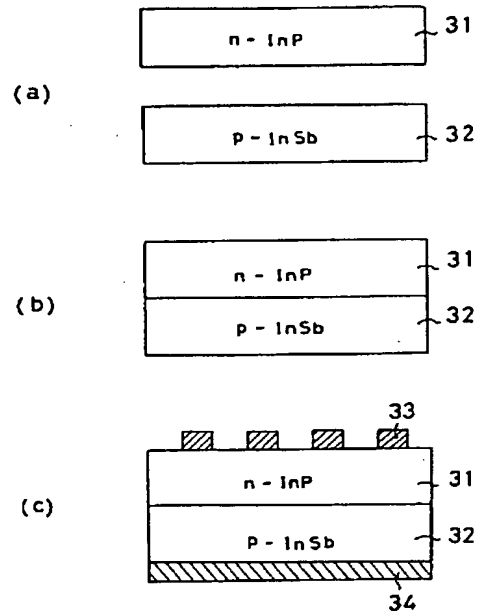
第1図



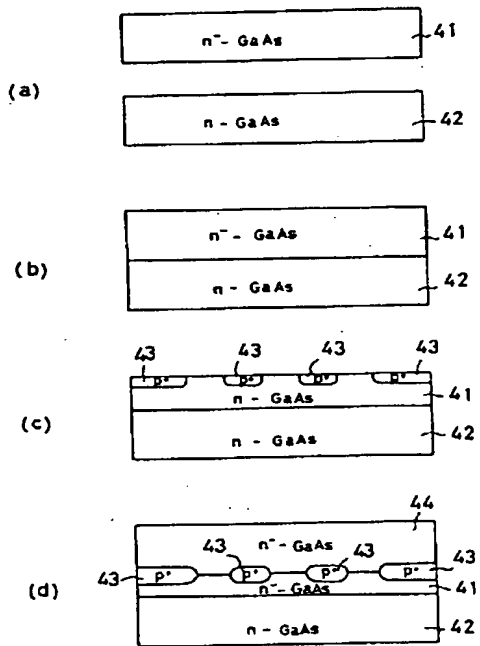
第 2 図



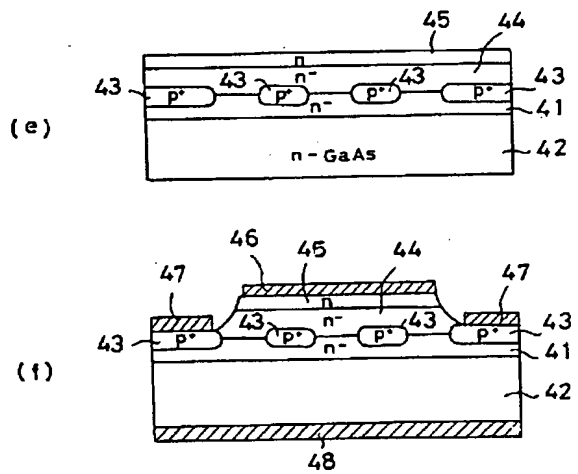
第 3 図



第 4 図



第 4 図



第 5 図

